

# Circuitos Lógicos: SDI-11322

## Proyecto Final

Departamento Académico de Sistemas Digitales  
Instituto Tecnológico Autónomo de México

Otoño 2018

### 1. Información General

#### 1.1. Objetivos

- Terminar la implementación de la computadora de un ciclo en la FPGA
- Implementar un algoritmo en la computadora implementada

#### 1.2. Fecha de Entrega

Última semana de clases.

### 2. Descripción

La computadora está basada en la descrita en el capítulo 9 del libro *Logic & Computer Design Fundamentals* de M. Morris R. Mano y Charles R. Kime.

El esquema de la computadora se muestra en la Fig. 1, el formato de instrucciones en la Fig. 2 y las instrucciones de la computadora en 3.

- Implementar y probar todos los componentes de la computadora
- Conectar todos los componentes de la computadora y probar el programa proporcionado.
- Implementar el algoritmo de multiplicación en la computadora.

### 3. Aspectos Técnicos

Para la implementación en la FPGA y probar el funcionamiento de la computadora:

- Agregar una salida al *Register File* que se conecte al display. El registro a desplegar se selecciona con el dip switch de la FPGA.

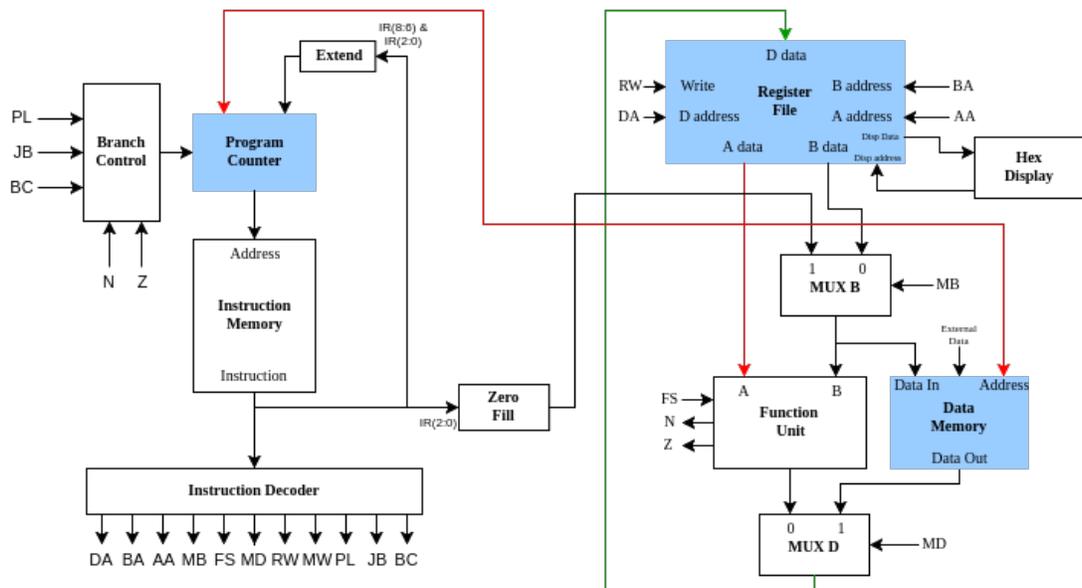


Figura 1: Esquema de la Computadora

- Al *Data Memory* se le deben agregar dos entradas, una para cada dip switch que modifiquen el valor de un registro (elegir cual registro estará asociado a cada dip switch).
- Asignar a uno de los botones la señal de reset. Todos los componentes secuenciales deben tener señal de reset.
- El archivo *instruction\_memory.vhd* es un ejemplo de cómo realizar programas para la computadora. Previo a implementar el algoritmo, probar que éste programa se ejecute correctamente.

## 4. Algoritmos

Seleccionar e implementar en la computadora uno de los siguientes algoritmos:

- $\sum_{i=1}^N \frac{i \cdot (i+1)}{2}$
- Promedio de  $n$  números
- Determinar si una función cuadrática tiene solución

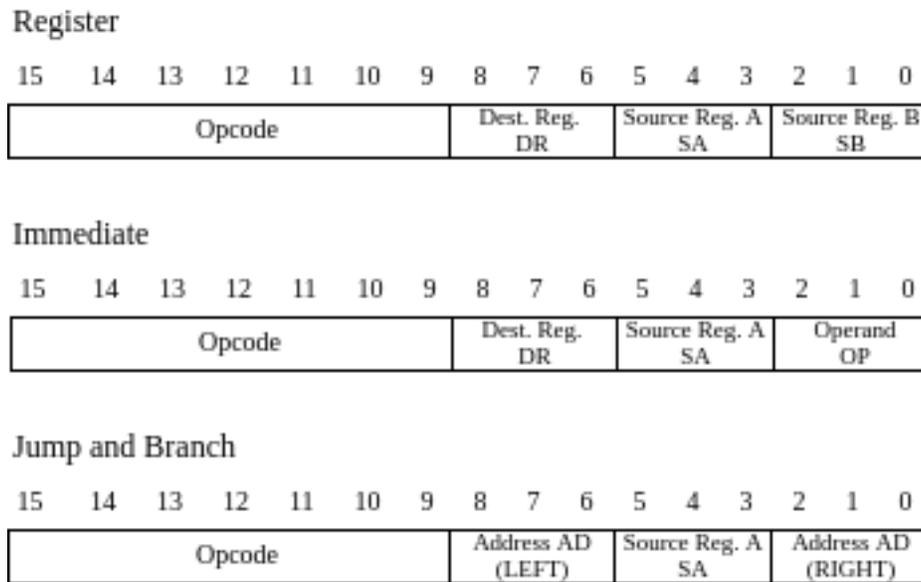


Figura 2: Formato de Instrucciones

## 5. Evaluación

La entrega del proyecto corresponde a 30% de la calificación final: 20% corresponde a mostrar el funcionamiento de la computadora con el programa seleccionado y 10% a una evaluación individual.

El reporte final corresponde a 30% de la calificación final. Debe seguir el formato de publicaciones del IEEE ([http://www.ieee.org/publications\\_standards/publications/authors/authors\\_journals.html](http://www.ieee.org/publications_standards/publications/authors/authors_journals.html)) y contener las siguientes secciones:

- Abstract
- Introducción
- Marco teórico
- Desarrollo
- Resultados
- Conclusiones individuales (indicando nombre)
- Referencias

Un ejemplo del reporte se encuentra en la página del curso. Se recomienda realizarlo utilizando  $\text{\LaTeX}$ .

Instruction	Opcode	Mnemonic	Format	Description	Status Bits
Move A	0000000	MOVA	RD, RA	$R[DR] \leftarrow R[SA]^*$	N, Z
Increment	0000001	INC	RD, RA	$R[DR] \leftarrow R[SA] + 1^*$	N, Z
Add	0000010	ADD	RD, RA, RB	$R[DR] \leftarrow R[SA] + R[SB]^*$	N, Z
Subtract	0000101	SUB	RD, RA, RB	$R[DR] \leftarrow R[SA] - R[SB]^*$	N, Z
Decrement	0000110	DEC	RD, RA	$R[DR] \leftarrow R[SA] - 1^*$	N, Z
AND	0001000	AND	RD, RA, RB	$R[DR] \leftarrow R[SA] \wedge R[SB]^*$	N, Z
OR	0001001	OR	RD, RA, RB	$R[DR] \leftarrow R[SA] \vee R[SB]^*$	N, Z
Exclusive OR	0001010	XOR	RD, RA, RB	$R[DR] \leftarrow R[SA] \oplus R[SB]^*$	N, Z
NOT	0001011	NOT	RD, RA	$R[DR] \leftarrow \overline{R[SA]}^*$	N, Z
Move B	0001100	MOVB	RD, RB	$R[DR] \leftarrow R[SB]^*$	
Shift Right	0001101	SHR	RD, RB	$R[DR] \leftarrow sr R[SB]^*$	
Shift Left	0001110	SHL	RD, RB	$R[DR] \leftarrow sl R[SB]^*$	
Load Immediate	1001100	LDI	RD, OP	$R[DR] \leftarrow zf OP^*$	
Add Immediate	1000010	ADI	RD, RA, OP	$R[DR] \leftarrow R[SA] + zf OP^*$	N, Z
Load	0010000	LD	RD, RA	$R[DR] \leftarrow M[SA]^*$	
Store	0100000	ST	RA, RB	$M[SA] \leftarrow R[SB]^*$	
Branch on Zero	1100000	BRZ	RA, AD	if ( $R[SA] = 0$ ) $PC \leftarrow PC + se AD$ , if ( $R[SA] \neq 0$ ) $PC \leftarrow PC + 1$	N, Z
Branch on Negative	1100001	BRN	RA, AD	if ( $R[SA] < 0$ ) $PC \leftarrow PC + se AD$ , if ( $R[SA] \geq 0$ ) $PC \leftarrow PC + 1$	N, Z
Jump	1110000	JMP	RA	$PC \leftarrow R[SA]$	

\* For all of these instructions,  $PC \leftarrow PC + 1$  is also executed to prepare for the next cycle.

Figura 3: Instrucciones