

Circuitos Lógicos: SDI-11322

Práctica 7. Program Counter

Departamento Académico de Sistemas Digitales
Instituto Tecnológico Autónomo de México

Otoño 2018

1. Objetivos

- Realizar la implementación de un *Program Counter* utilizando VHDL
- Reforzar la diferencia entre circuitos secuenciales y combinacionales

2. Problema

Se requiere implementar el *program counter* de la computadora de un solo ciclo así como los componentes asociados al *program counter*.

3. Esbozo de solución

3.1. Branch Control

Éste componente recibe las siguientes señales:

- $PL = 1$ - Indica si se debe realizar una operación *Jump* o *Branch*.
- $JB = 1$ - Indica que la operación es *Jump*.
- $JB = 0$ - Indica que la operación es *Branch*.
- $BC = 1$ - Indica que la operación a realizar es *Conditional Branch on Negative*.
- $BC = 0$ - Indica que la operación a realizar es *Conditional Branch on Zero*.
- N - Indica si la operación anterior resultó en un número negativo.
- Z - Indica si la operación anterior resultó en cero.

Utilizando éstas señales de entrada se debe generar una señal de salida que indique al *program counter* qué tipo de operación realizar. Para el caso de las operaciones *branch* y *jump*, el formato de las instrucciones se muestra en la Fig. 2.

3.2. Program Counter

El *program counter* puede realizar tres tipos de operaciones dependiendo de la salida del *Branch Control*:

- $PC \leftarrow PC + 1$: Para las operaciones normales
- $PC \leftarrow PC + \text{se AD}$: Para las operaciones *branch*.
- $PC \leftarrow R[SA]$: Para la operación *jump*.

3.3. Extend

Para poder realizar la operación $PC \leftarrow PC + \text{se AD}$ es necesario extender *AD* de 6 bits a 16 bits. *AD* es un número signado mediante complemento a dos.

4. Aspectos técnicos de implementación

Para probar el funcionamiento del *program counter*, asignar su salida a la entrada del *hexadecimal display*. Para el reloj de entrada del *PC*, utilizar un botón de la FPGA y para las demás entradas utilizar los dip switches.

5. Componentes Faltantes

5.1. Zero Fill

Éste componente recibe un número de tres bits de entrada y entrega el mismo número en su representación de 16 bits.

5.2. Instruction Decoder

El diagrama de éste componente se muestra en la Fig. 1

5.3. Instruction Specifications

Se cuenta con tres formatos de instrucciones como se muestra en la Fig. 2. Las especificaciones de las instrucciones se muestran en la Fig. 3.

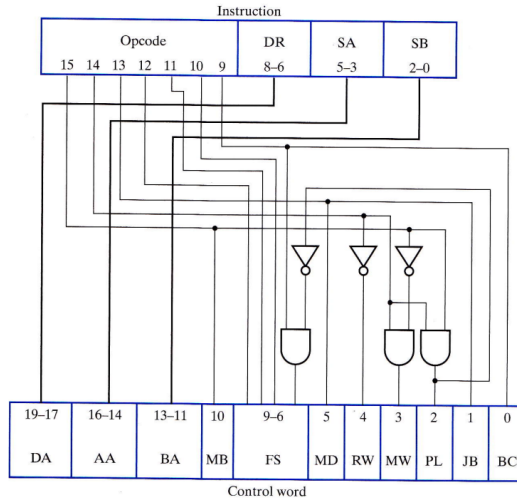


Figura 1: Diagrama del *Instruction Decoder*

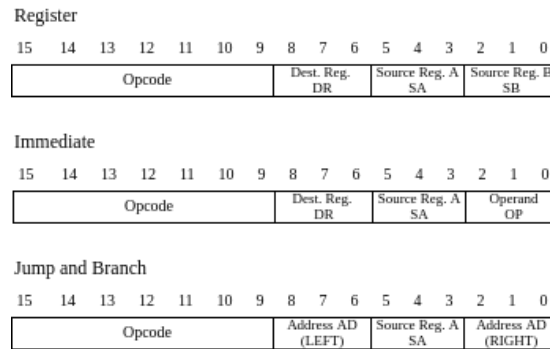


Figura 2: Formato de las instrucciones

Instruction	Opcode	Mnemonic	Format	Description	Status Bits
Move A	0000000	MOVA	RD, RA	$R[DR] \leftarrow R[SA]^*$	N, Z
Increment	0000001	INC	RD, RA	$R[DR] \leftarrow R[SA] + 1^*$	N, Z
Add	0000010	ADD	RD, RA, RB	$R[DR] \leftarrow R[SA] + R[SB]^*$	N, Z
Subtract	0000101	SUB	RD, RA, RB	$R[DR] \leftarrow R[SA] - R[SB]^*$	N, Z
Decrement	0000110	DEC	RD, RA	$R[DR] \leftarrow R[SA] - 1^*$	N, Z
AND	0001000	AND	RD, RA, RB	$R[DR] \leftarrow R[SA] \wedge R[SB]^*$	N, Z
OR	0001001	OR	RD, RA, RB	$R[DR] \leftarrow R[SA] \vee R[SB]^*$	N, Z
Exclusive OR	0001010	XOR	RD, RA, RB	$R[DR] \leftarrow R[SA] \oplus R[SB]^*$	N, Z
NOT	0001011	NOT	RD, RA	$R[DR] \leftarrow \overline{R[SA]}^*$	N, Z
Move B	0001100	MOVB	RD, RB	$R[DR] \leftarrow R[SB]^*$	
Shift Right	0001101	SHR	RD, RB	$R[DR] \leftarrow sr R[SB]^*$	
Shift Left	0001110	SHL	RD, RB	$R[DR] \leftarrow sl R[SB]^*$	
Load Immediate	1001100	LDI	RD, OP	$R[DR] \leftarrow zf OP^*$	
Add Immediate	1000010	ADI	RD, RA, OP	$R[DR] \leftarrow R[SA] + zf OP^*$	N, Z
Load	0010000	LD	RD, RA	$R[DR] \leftarrow M[SA]^*$	
Store	0100000	ST	RA, RB	$M[SA] \leftarrow R[SB]^*$	
Branch on Zero	1100000	BRZ	RA, AD	if ($R[SA] = 0$) $PC \leftarrow PC + se AD$, if ($R[SA] \neq 0$) $PC \leftarrow PC + 1$	N, Z
Branch on Negative	1100001	BRN	RA, AD	if ($R[SA] < 0$) $PC \leftarrow PC + se AD$, if ($R[SA] \geq 0$) $PC \leftarrow PC + 1$	N, Z
Jump	1110000	JMP	RA	$PC \leftarrow R[SA]$	

* For all of these instructions, $PC \leftarrow PC + 1$ is also executed to prepare for the next cycle.

Figura 3: Especificaciones de las instrucciones