

Circuitos Lógicos: SDI-11322

Práctica 6. Memoria de Datos

Departamento Académico de Sistemas Digitales
Instituto Tecnológico Autónomo de México

Otoño 2018

1. Objetivos

- Implementar circuitos utilizando procesos de VHDL
- Implementar la memoria de datos de la computadora

2. Problema

Se requiere implementar un circuito para la memoria de datos que utilizará la computadora.

3. Esbozo de solución

Investigar las características de una RAM (qué es una *palabra*, cómo se realiza el direccionamiento, qué define su capacidad, etc.) A partir de las prácticas anteriores se puede inferir de cuántos bits es la palabra de la computadora que se esta implementando.

3.1. Memoria de Datos

A continuación se detallan las señales de entrada y salida de la memoria:

- CLK - El reloj del circuito
- RESET - Cuando RESET = 1, la memoria regresa a su estado inicial
- MW - Cuando MW = 1, se escribe el valor *Data_in* en la dirección *Address*
- Data_in - El valor de entrada (16 bits)
- Address - La dirección de lectura o escritura (16 bits)
- Data_out - El valor leído (16 bits)

3.2. Top Level Entity

Para ésta práctica, se utilizan las siguientes entradas:

- CLK - Reloj de la FPGA
- Dip Switches - Los dos alambrados en protoboard
- Write - Se va a utilizar un botón de la FPGA
- Reset - Se va a utilizar un botón de la FPGA

Y las siguientes salidas:

- Decoder - Las señales de activación de los displays
- display - La señal de los displays
- led_write - Señal auxiliar para ver el estado de la señal *write*
- led_reset - Señal auxiliar para ver el estado de la señal *reset*

Es necesario utilizar señales auxiliares que sean la señal negada de *write* y de *reset*, debido a que los botones de la FPGA son normalmente cerrados.

De manera similar a lo realizado en prácticas pasadas, las señales de los dip switches son las entradas de la memoria de datos, a donde también entran las señales del reloj, escritura y reinicio. La salida de la memoria de datos va al bloque *binary_to_bcd* y la salida de éste al bloque de la práctica 2.

4. Validación

Es recomendable simular la memoria de datos con al menos dos datos de entrada distintos y comprobando el funcionamiento de las señales *write* y *reset*.