Manual Básico de Quartus

Instituto Tecnológico Autónomo de México

2018

1 Quartus

1.1 Ejecute Quartus, y cree un proyecto para la DE0-Nano.

Seleccione en el menú "FILE -> New Project Wizard". Escriba el directorio donde trabajará (p.e. *Mis Documentos*) y nombre el proyecto, oprima "next". En la ventana para agregar archivos ("add files"), seleccione "next". En la ventana para seleccionar el dispositivo seleccione la familia y el dispositivo que se localizan en los manuales de la tarjeta o en la tarjeta misma. Con "next" pase dos ventanas mas y por último oprima "finish".

1.2 Introduzca los componentes en un diagrama esquemático.

Seleccionar en el menú "File -> new -> Block Diagram/ Schematic". En la ventana que aparece puede realizar el esquema del circuito. Para agregar elementos debe posicionarse en la ventana activa (posiblemente Block1.bdf), seleccionar en la barra el símbolo de "symbol" (representado con una compuerta and). En la ventana puede revisar los símbolos disponibleen los directorios de la biblioteca de components "libraries". Por ejemplo, puede localizar las compuertas AND, NAND, OR, NOR y NOT en "primitives".

Seleccionar en el menú "File -> new -> Block Diagram/ Schematic". En la ventana que aparece puede realizar el esquema del circuito. Para agregar elementos debe posicionarse en la ventana activa (posiblemente Block1.bdf), seleccionar en la barra el símbolo de "symbol" (representado con una compuerta and). En la ventana puede revisar los símbolos disponibleen los directorios de la biblioteca de components "libraries". Por ejemplo, puede localizar las compuertas AND, NAND, OR, NOR y NOT en "primitives".

Coloque las compuertas en el diagrama esquemático. Almacene lo que ha hecho seleccionando el icono de disco. Inserte ahora un pin de entrada, en la ventana practica1.bdf, con el mismo procedimiento anteriormente descrito, seleccione y expanda el directorio "primitives", expandir el directorio "pin", seleccione la entrada "input", ver figura ??.

Conecte pines de entrada y salida a las compuertas. Para programar la tarjeta es necesario que tanto la entrada como la salida de las compuertas (es decir los pines "in" y "out") deben de estar negadas, tal como se muestra en la figura 6. Guarde el diseño.

1.3 ModelSim-Altera

La herramienta que permite simular los circuitos es ModelSim-Altera. Esta aplicación utiliza archivos de descripción de lenguaje así como archivos *bech* para simular. Para generar un archivo vhdl sólo dirigete al archivo de esquema de bloques y selecciona la opción "File -> create / update -> Create HDL Design File from Current file", selecciona la opción VHDL. Finalmente agrega el archivo al proyecto "Assignments -> Settings". Esto mostrará una ventana, en la sección "Files" busca el archivo con el boton "..." y agregalo "add", pero retira el archivo de bloques con "remove". Aplica los cambios y cierra la ventana.

Es necesario configurar el simulador en "Tools -> Options -> EDA Tool Options". En la sección de **Modelsim-Altera** debe de ir la siguiente ruta /opt/altera/modelsim_ase/linuxaloem.

Elle Edit View Project Assignments Pro-	cessing	Tools Wir	dow He	Нр										Search	n altera.c
			• 2	6 6 6 D I		0 0	a 🕹 👧 '	•							
Project Navigator A Hierarchy 2 0 0 0 0	1		Home	e .	x 🔞		Block1.bdf*		×				IP Catalog		
A Compliation Hierarchy	1	h Q 4	A D	🖉 • 🗖 🗅 🗖	311	10	017	P - K	1 4 12	1 🖶 💮 I	4 🗅 🗈) (Device Family	Cyclone V (E/GX/G	r/sx/se/st)
													•		X
Tasks Compliation 2 = (10) (8)							P	Ď					Kinstalle Project None Constant Cons	ed IP t Directory Selection Available f Le Functions errface Protocols mory Interfaces and C cessors and Periphera versity Program for Partner IP	ontrollers
Task							🔀 Symbol								
B ► Compile Design															
Analysis & Synthesis			Librar	lies:	-										
B ► Fitter (Place & Route)				- 10 or6											
Assembler (Generate programming)				- U or8								1			
⊕ ► TimeQuest Timing Analysis				10 MM											
EDA Netlist Writer				🕀 🗂 other											
- Edit Settings				🖯 😂 pin											
- Program Device (Open Programmer)				-1⊉ bidir	_			pat_name4							
			.▲ Name Input	O output											
			L in:	sert symbol as block									+ Add		
		_								OK	Canrel				
🛿 All 🔕 📥 🔺 🔻 «Filter	~		_		_			_	_			4			
= Type ID Message															
259															
Custom Descention	_	_	_		-	-		-	_	_	_				
2 System Processing														11214.0%	00:00:00

Figura 1: Selección de compuertas



Figura 2: Selección de un pin de entrada

La segunda parte consiste en modificar los "Assignments -> Settings -> EDA Tool Settings -> Simulation" La configuración debe de quedar de acuerdo de la siguiente tabla.

Option	Value						
Tool name	ModelSim-Altera						
Run gate-level simulation automatically after compilation	Disable checkbox						
Format for output netlist	Verilog HDL						
Map illegal VHDL characters	Disable checkbox						
Enable glitch filtering	Disable checkbox						
Generate Value Change Dump (VCD) file script	Disable checkbox						

Figura 3: Configuración

Para abrir model sim: "Tools – > Run Simulation Tool – > RTL Simulation". Se debe abrir una ventana nueva con ModelSim.

En la parte izquierda de la ventana ModelSim, se encuentra la sección "Library", expandir "Work - > nombre_del_proyecto". Doble click a bdf_type. Las señales del proyecto aparecen en la sección objects. Ahora se deben definir los valores que tomarán las señales durante la simulación: click derecho en una señal de entrada - > Modify - > Apply Wave. Existen 5 opciones: Clock, Constant, Random, Repeater y Counter. Seleccionar Constant e introducir los valores adecuados a cada señal.

Para correr la simulación, agregar las señales de salida: Simulate - > Run - > Run-All. Verificar que las señales de salida tengan los valores correctos.

Referencias

- Capítulo 3. Logic and Computer Design Fundamentals-M. Morris Mano-Charles R. Kime 4th Edition
- Configuración modelsimhttps://www.altera.com/en_US/pdfs/literature/ug/ug_gs_msa_qii.pdf